

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Home



Search



List

☐ Hide

①

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications JP ; Claims, Title or Abstract

Years: 1990-2002

Text: Application No.: 03-253774

[no drawing available]

[Order This Patent](#)[Family Lookup](#)[Citation Indicators](#)[Go to first matching text](#)**JP04289644 A****BRIGHTNESS CONTROL DEVICE FOR FLAT PANEL DISPLAY****RAYTHEON CO****Inventor(s): DUNHAM PETER C****Application No. 03253774 JP03253774 JP, Filed 19911001, A1 Published 19921014 Publish d 19921014**

Abstract: PURPOSE: To provide a control device to control brightness of a flat panel CRT display with designated matrix address which has a conductor in a row and line crossing on an electric field electron discharge array.

CONSTITUTION: Brightness is controlled by controlling both a duty cycle and a voltage applied to an actuation line of a crossing conductor. A periodical ladder wave having gradually increasing voltage steps is applied successively on a line conductor 74. It is desirable that a voltage at each step is selected so that an electron beam to provide twice as much as brightness of the previous step is made possible. Binary coded video brightness is applied to all line conductors 72. A composite voltage at a crossing portion of the selected conductors discharges a series of electrons to a luminescent means which produces a series of luminescence intervals corresponding each others as a result. An optical system of human beings integrates such luminescence sequence to the selected brightness levels.

Int'l Class: H01J03112; H04N00568**Priority:** US 90 590870 19901001**MicroPatent Reference Number:** 000283029**COPYRIGHT:** (C) 1992JPO**Patents Citing this One:** No patents have cited this patent.

Home



Search



List

For further information, please contact:**[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)**

①

(書誌+要約+請求の範囲+実施例)

(11)【公開番号】特開平4-289644

(43)【公開日】平成4年(1992)10月14日

(21)【出願番号】特願平3-253774

(22)【出願日】平成3年(1991)10月1日

(54)【発明の名称】平坦パネル・ディスプレイの明るさ制御装置

(51)【国際特許分類第5版】

H01J 31/12

B 7247-5E

H04N 5/68

B 7205-5C

(71)【出願人】レイセオン・カンパニー

(72)【発明者】ピーター・シー・ダンハム

(57)【要約】(修正有)

【目的】電界電子放出アレイの交差した列および行の導体を有する形式のマトリックス・アドレス指定平坦パネルCRTディスプレイの明るさを制御する装置を提供する。

【構成】明るさの制御は、デューティ・サイクルと、交差する導体の駆動線に加えられる電圧との双方を制御することにより行われる。漸増する電圧段階を持つ周期的なはしご波形が行導体74に逐次加えられる。各段階における電圧は、前段階の明るさの2倍である明るさレベルを提供する電子ビーム電流を可能にするように選択されることが望ましい。2進コード化されたビデオの明るさデータが、全ての列導体72に対して加えられる。選択された導体の交差部76における合成電圧が、対応する一連の発光間隔を結果として生じる発光手段に対する一連の電子の放出を生じる。人間の光学系は、このような発光シーケンスを選択された明るさレベルに積分する。

【特許請求の範囲】

【請求項1】平坦面を横切って配置された第1の複数の実質的に平行な導体と、前記平坦面を横切って配置された第2の複数の実質的に平行な導体とを有する裏打ち構造を含み、前記第1の複数の導体が前記第2の複数の導体と交差するが該第2の導体から電気的に絶縁されており、前記第1および第2の複数の導体の各交差部において、該交差する導体間の電位差に応答して電子ビーム電流を放出する手段、を更に含む平坦パネル・ディスプレイにおいて前記各交差部における前記放出手段からの電子ビーム電流を制御する装置であって、複数の階段状の異なる電圧レベルを含む、周期的信号を前記第1の複数の導体に個々に接続する第1のソース手段と、明るさ制御信号を前記第2の複数の導体に接続する第2のソース装置とを設け、該明るさ制御信号が、2進コード化されたビデオ入力信号に応答して第1の基準電位および第2の基準電位間で駆動され、前記第1の複数の導体と個々に接続された前記周期的信号の電圧レベル段階と、前記第2の複数の導体に接続された前記明るさ制御信号の前記第2の基準電位との間の電圧差が、前記第1のソース手段と接続された前記第1の複数の導体と、前記第2のソース装置と接続された前記第2の複数の導体との交差部において放出手段から電子ビーム電流を生成し、該電子ビーム電流が前記電圧差に応じて変化する、装置。

【請求項2】前記第1の複数の導体が行導体を含み、前記第2の複数の導体之列導体を含み、該行導体は前記列導体と直角をなす請求項1記載の装置。

【請求項3】前記第2のソース手段が、明るさ制御信号を前記第2の複数の導体の全てに同時に接続し、これにより前記第1のソース手段と接続された前記第1の複数の導体に沿った全ての放出手段からの電子ビーム電流の生成を同時に可能にする請求項1記載の装置。

【請求項4】前記周期的信号が、漸増する電圧段階のはしご波形を有する請求項1記載の装置。

【請求項5】前記波形段階の各々における電圧が、2進数列に従って関連付けられる電子ビーム電流の連続的レベルを生じるように選択される請求項4記載の装置。

【請求項6】前記第1のソース手段が、前記複数の電圧レベル段階の各々のデジタル表現を記憶する手段と、前記記憶手段に応答して前記デジタル表現をアナログ電圧レベルに変換する手段とを含む請求項1記載の装置。

【請求項7】前記記憶手段がプログラム可能読出し専用メモリー(PROM)を含む請求項6記載の装置。

【請求項8】前記周期的信号の前記段階の電圧レベルおよび第2の基準電位に関する前記第1の基準電位を調整する手段を更に設けた請求項1記載の装置。

【請求項9】前記周期的信号の各電圧レベル段階における前記2進コード化ビデオ入力信号をゲートする手段を更に設け、該ゲート手段は、等しい調整可能長さのパルスの波形を有する信号を生成する手段を含む請求項1記載の装置。

【請求項10】平坦面を横切って配置された第1の複数の実質的に平行な導体と、前記平坦面を横切って配置された第2の複数の実質的に平行な導体とを含む第1の平坦面を有する裏打ち構造を設け、前記第1の複数の導体が、前記第2の複数の導体と交差するもこれから電気的に絶縁されており、前記第1および第2の複数の導体の各交差部にあって、該交差する導体間の電位差に応答して電子ビーム電流を放出する手段と、電子ビーム電流に応答してルミネッセンスを生じる第2の平坦面上の手段を含む前記第1の平坦面に隣接する第2の平坦面を有する面構造部と、前記交差部の各々における前記放出手段からの電子ビーム電流を制御する手段とを設け、該制御手段は、異なる電圧レベルの複数のレベルを含む、周期的信号を前記第1の複数の導体に個々に接続する第1のソース手段と、明るさ制御信号を前記第2の複数の導体に接続する第2のソース手段とを含み、該明るさ制御信号は、2進コード化ビデオ入力信号に応答して第1の基準電位と第2の基準電位の間で駆動され、前記第1の複数の導体に個々に接続された前記周期的信号の電圧レベル段階と、前記第2の複数の導体に接続された前記明るさ制御信号の前記第2の基準電位との間の電圧差が、前記第1のソース手段と接続された前記第1の複数の導体と前記第2のソース手段と接続された前記第2の複数の導体の交差部における前記放出手段から電子ビーム電流を生成するに充分であり、前記電子ビーム電流は前記電圧差に従って変化する、平坦パネル・ディスプレイ。

【請求項11】前記第1の複数の導体が行導体を含み、前記第2の複数の導体が列導体を含み、該行導体は前記列導体と直角をなす請求項10記載の平坦パネル・ディスプレイ。

【請求項12】前記第2のソース手段が、明るさ制御信号を前記第2の複数の導体の全てに同時に接続し、これにより前記第1のソース手段と接続された前記第1の複数の導体に沿った全ての放出手段からの電子ビーム電流の生成を同時に可能にする請求項10記載の平坦パネル・ディスプレイ。

【請求項13】前記周期的信号が漸増する電圧段階のはしご波形を有する請求項10記載の平坦パネル・ディスプレイ。

【請求項14】前記波形段階の各々における電圧が、2進数列に従って関連付けられる電子ビーム電流の連続するレベルを生じるように選択される請求項13記載の平坦パネル・ディスプレイ。

【請求項15】前記第1のソース手段が、前記複数の電圧レベル段階の各々のデジタル表現を記憶する手段と、前記記憶手段に応答して、前記デジタル表現をアナログ電圧レベルに変換する手段とを含む請求項10記載の平坦パネル・ディスプレイ。

【請求項16】前記記憶手段がプログラム可能読出し専用メモリー(PROM)を含む請求項15記載の平坦パネル・ディスプレイ。

【請求項17】前記周期的信号の前記段階の電圧レベル、および前記第2の基準電位に関する前記第1の基準電位を調整する手段を更に設けた請求項10記載の平坦パネル・ディスプレイ。

【請求項18】前記周期的信号の各電圧レベルにおける前記2進コード化ビデオ入力信号をゲートする手段を更に設け、該ゲート手段は、等しい調整可能長さのパルスの波形を持つ信号を生成する手段を含む請求項10記載の平坦パネル・ディスプレイ。

【実施例】図1において、一部の拡大図を含む平坦パネル・ディスプレイ10の一部破断図が示される。平坦パネル・ディスプレイ10は、カソード電極を構成する導体列14とゲート電極を構成する導体行16との十字パターンを持つガラス裏板12を含んでいる。このパターンは、アノード電極を含む内面上の蛍光物質コーティング22を有するガラス前方板20によりこれから離れて重ねられる。

【0018】図1に拡大して示される部分は、行と列の交差部32の断面図であり、このような交差部32毎に存在する電子放出装置30のゲート電極およびカソード電極の個々の素子を更に示

2)、...、76(32, 1)、76(32, 2)、...、76(32, 32)において生じる。

【0027】図示ならびに理論上容易にする目的のため、本例においては、表示パネル70が32×32表示マトリックスを持つモノクローム・ディスプレイであると仮定される。従って、開示された実施例は、32本の駆動線72および32本の駆動線74を含む。それにも拘わらず、本文に教示される原理がカラー表示、ならびに640×400あるいはそれ以上のVGA規格を含むどんなサイズにも等しく適用し得ることが認識されよう。

【0028】更に、ビデオ駆動信号を本発明のあるいは制御装置に対して供給するビデオ・グラフィックス・システム(図示せず)がディスプレイの各ピクセル毎に8ビット・ワードの明るさデータを生じることにより、各ピクセル位置における256レベルの表示の明るさを可能にするものとする。

【0029】図3の明るさ制御装置は32ビットのシフト・レジスタ80を含み、その出力信号はラッチ回路82に接続される。この32のラッチされた出力信号は、総合的にANDゲート84と呼ばれるANDゲート84(1)、84(2)、...、84(32)の第1の入力ターミナルに個々に接続される。ANDゲート84は、総合的にドライバ86と呼ばれるドライバ86(1)、86(2)、...、86(32)に個々に接続される。本例においては、ドライバ86は、その2つのレール電圧を出力ターミナルの一方または他方に加えることにより、論理レベル入力信号に応答してトータム・ポール形であることが望ましい。本例においては、ドライバ86におけるレール電圧はゼロボルトおよび典型的には約30ボルトである基準電圧 V_{REF} である。各ドライバ86(i)は、表示パネル70の対応する列駆動線72(i)を駆動する。調整可能なワン・ショット回路88は、全てのANDゲート84の第2の入力ターミナルを駆動してラッチ82にクロックされる各組のデータに対して調整可能な幅の1つのパルスを与える。ワン・ショット回路88からのパルス出力の幅は、「明るさ調整」と示される制御部を介して調整される。

【0030】表示パネル70の行駆動線74は、総合的にドライバ90と呼ばれるトータム・ポール・ドライバ90(1)、90(2)、...、90(32)により個々に駆動される。ドライバ90は、デコーダ92からの入力ターミナルで与えられる論理レベル電圧に응答して、行駆動線74に一方または他方のレール電圧を加える。本例においては、ドライバ90に接続されるレール電圧は V_{REF} および電圧波形 V_{ROW} である。

【0031】望ましい実施態様においては、 V_{ROW} は、本例においては、 V_0 、 V_1 、 V_2 、...、 V_7 と呼ばれる8つの電圧レベルを持つ逡増電圧の周期的なハスゴ波形を有する。連続的なレベルがシフト・レジスタ80からラッチ82へのラッチ動作と実質的に同期して生成される。電圧レベル V_0 、 V_1 、 V_2 、...、 V_7 を選択する望ましい方法は、図4に関する項において記載される。

【0032】カウンタ/デコーダ92は、その出力ターミナルを逐次可能状態にすることによりその入力ターミナルにおける電圧の一連の遷移に응答する。この回路の実施において、カウンタ/デコーダ92およびドライバ90は、残りの行駆動線が V_{REF} にある間 V_{ROW} が行駆動線74(j)の各々に順次接続されるように作動する。

【0033】図3においてCLOCK(クロック)として示されるタイミング信号は、周波数において、ビデオ・データがラッチ82において得られる速度に対応している。このため、CLOCKは、ラッチ82におけるデータに対するゲート信号を生じるためワン・ショット回路88に対して入力ターミナルに加えられるタイミング信号であることが判る。

【0034】前記CLOCK信号はまた、例えば2進カウンタである分周器94に接続され、この分周器はCLOCK信号の周波数を各表示ピクセルに対する明るさ制御データのビット数により分割する。この分周器出力信号 $CLOCK \div 8$ の最上位ビットは、レベル・シフタ96を介してカウンタ/デコーダ92の入力ターミナルに接続され、これにより明るさ制御データ・ワードの速度で行駆動線74を逐次選択する。分周器94の3つの2進出力は全て、プログラム可能読出し専用メモリ(PROM)98に入力アドレス線として接続される。

【0035】PROM98は、8つの予め定めた電圧レベルのデジタル表示である8つの記憶されたワードを含む。本例においては、これらメモリ・ワードの各々は長さが8ビットであり、本発明の用途に対する充分な精度を提供する。PROM98からのこれら8つのデータ・ビットは、デジタル/アナログ(D/A)・コンバータ100に与えられ、これはその出力ターミナルにおいて対応する予め定めた電圧レベルを生じる。

【0036】D/Aコンバータ100からの出力信号は調整可能な電圧分割器102に接続され、そ

の出力は行ドライバ90の一方のレールに V_{ROW} 信号を与える。電源ソースと接続された同様な調整可能な電圧分割器104は、 V_{REF} 電圧を列ドライバ86および行ドライバ90の双方のレールに与える。電圧分割器102および104は、所要のレベルの電子ビーム電流を生じる目的のため、 V_{ROW} および V_{REF} の値を適正に選択して維持するために調整可能である。

【0037】本発明は、行の全てのピクセルが同時に励起されるシステムに限定される意図はないが、このような実施態様は望ましいものであり、ここで開示される。このため、シフト・レジスタ80が1つの行全体の全ての明るさデータ・ワードの対応するビットでロードされること、即ち、行74(j)の32ピクセルの全てのビット0の後に行74(j)の32ピクセルの全てのビット1が続き、...、行74(j)の32ピクセルの全てのビット7が続き、行74(j+1)の32ピクセルの全てのビット0が続き、...である如きことが1つの要件である。その促進のため、本発明の一部を構成しないデータ変換回路106が、従来のビデオ・データ信号およびシフト・レジスタ80間に介挿される。データ変換回路106は、典型的な8ビットビデオ・データ信号を受取り、上記の方式に従ってデータを出力する。このようなデータ変換装置は周知のものであり、ビデオ・ランダム・アクセス・メモリー(VRAM)を含む。

【0038】前の論議において、列駆動線72と関連する回路、即ちシフト・レジスタ80、ラッチ回路82、ANDゲート84およびドライバ86、および行駆動線74と関連する回路、即ちカウンタ/デコーダ92および行ドライバ90については、それらの機能に関して記述した。しかし、ビデオ・ディスプレイの分野に通暁する者には、列および行の回路の各々の本文に述べた諸機能が単一のデバイスに含めることができることは認識されよう。このようなデバイスは、例示としては、米国カルフォルニア州サニービルのSupertex社により販売されるモデルHV53/HV54である。

【0039】しかし、前の項において記載した如きデバイスが基準電位(V_{REF})が回路の残部の基準電位(0ボルト)と著しく異なる本発明の行駆動回路に対して使用される時、2つの電圧システム間に電圧レベル・シフト回路96が必要とされる。

【0040】図4においては、ある範囲のゲート・カソード電圧に対するビーム電流の関係図が示される。本発明の実施例が2進数列に従って関連付けられるビーム電流の一連のパルスを生じるため、第1の電流レベル i_0 が選択され、電流レベル i_0 の2倍である第2の電流レベル i_2 が選択され、電流レベル i_1 の2倍である第3の電流レベル i_2 が選択され、電流レベル i_2 の2倍である第4の電流レベル i_2 が選択される、...、如きである。選択された各電流レベル i_0 、 i_1 、 i_2 、...に対して、このビーム電流を生じる対応するゲート・カソード電圧 V_0 、 V_1 、 V_2 、...が見出される。本例においては、各表示期間内の一連の8つの電圧段階に対して、ゲート・カソード電圧の8つの値が、1、2、4、8、16、32、64および128マイクロアンペアのビーム電流に対する30および50ボルト間の実質的に線形範囲を含む。

【0041】図5においては、時間軸と関連する一連のプロットを含む事例が示され、本発明の明るさ制御回路の動作の理解に役立つ。プロット(a)は、それぞれ6 μ 秒の8つの等しい線分(セグメント)に分けられた50 μ 秒の線(ライン)周期および2 μ 秒の保護帯(ガードバンド)を示している。この線周期の8つの線分は、各表示ピクセル毎の8ビットの明るさ制御データと対応する線分0、線分1、...、線分7として示される。

【0042】図5のプロット(b)は、個々の行導体に逐次加えられる電圧波形を示している。明らかに、行導体が通常電圧 V_{REF} にあり、対象となる特定の行の線周期に達するとプロット(b)の波形が行導体に加えられ、線周期の対応する線分の間 V_0 から V_7 まで段階的に漸進する。

【0043】図5のプロット(c)は、ラッチ回路82のi番目の出力線に逐次現れて列のデータとしてANDゲート84(i)の1つの入力ターミナルに加えられる如き明るさデータの8ビットのタイミングを示している。プロット(d)は、ディスプレイに対する全体的な明るさ調整を行いかつ切換えの過渡状態を低減する目的のため、ワン・ショット回路88により生じてANDゲート84(i)の他の入力ターミナルへ加えられる如き列ゲート信号を示している。プロット(e)は、ANDゲート84(i)からの出力信号のタイミングを示している。

【0044】図5のプロット(f)、(g)および(h)は、ラッチ回路82、ANDゲート84および列ドライバ86を介して列駆動線72(i)の1つに加えられる明るさ制御データの特定例を示す。本例においては、明るさ制御データが、ビット0=1、ビット1=0、ビット2=1、ビット3=1、ビット4=0、ビット5=0、ビット6=1およびビット7=0に対する短縮表現10110010として任意に選択され

ている。結果として、プロット(c)の波形は列ドライバ86により列駆動線72(i)に対して生成され、これにおいては電圧が選択されたビット(ビット=1)の通過期間中のみ V_{REF} から0ボルトへ下方に駆動される。列駆動線72(i)は、図5のプロット(b)に示される如き電圧波形を持つ選択された行駆動線74(j)と交差する。列駆動線72(i)は、ピクセル76(i, j)における電子エミッタのカソード電極を含み、行駆動線74(j)はピクセル76(i, j)における電子エミッタのゲート電極を含むため、選択された交差におけるゲート・カソード電圧波形がプロット(g)に示される。図4に関する議論から思出されるように、2進数列に従って関連する電子ビーム電流を生じるように電圧 V_0 乃至 V_7 が選択される。このため、本例の明るさ制御データに応答して、図5のプロット

(h)に示されるビーム電流波形、即ち、 $2^0=1$ 、 $2^2=4$ 、 $2^3=8$ および $2^6=64$ 電流ユニットの個々のパルスが生成される。

【0045】プロット(g)の波形から、明るさ制御データ・ビットがゼロである線周期の各時間セグメント、即ち、ビット $t=0$ においては、ビット0に対する(V_0-V_{REF})の最小値からビット7に対する(V_7-V_{REF})の最大値までの範囲の測定可能なゲート・カソード電圧が存在することが判るであろう。それにも拘わらず、時間セグメント7におけるゼロの明るさ制御データ・ビットに対するゲート・カソード電圧(V_7-V_{REF})の最大値は依然として、結果として放出されたビーム電流が i_0 と比較してそれほど大きくない時間セグメント0における V_0 の明るさ制御データ・ビットに対するゲート・カソード電圧の最小値より著しく小さい。

【0046】本発明の原理を特に図面の例示された構造に関して示したが、本発明の実施において種々の変更が可能であることが理解されよう。本発明の範囲は、本文に開示された特定構造に限定される意図はなく、頭書の特許請求の範囲によってのみ示される。

前公報 次公報 【特開 2004-289644】 — (書誌+要約+請求の範囲+実施例) —

(書誌+要約+請求の範囲)

(書誌+要約+請求の範囲+実施例)

書誌 要約 請求の範囲 詳細な説明 利用分野 従来技術

課題 手段 実施例 図の説明 図面